

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-206420

(43)Date of publication of application : 13.08.1993

(51)Int.Cl.

H01L 27/118

H01L 21/82

H01L 27/04

(21)Application number : 04-014874

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 30.01.1992

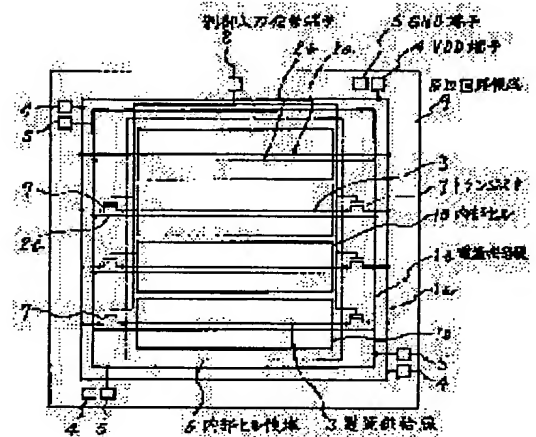
(72)Inventor : TANIYOSHI ITSURO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To reduce the power consumption of a circuit which is not required to be temporarily operated and to reduce the power consumption of a semiconductor integrated circuit as a whole in the semiconductor integrated circuit wherein a circuit which is required to be always operated and the circuit which is not required to be temporarily operated are mounted simultaneously.

CONSTITUTION: Transistors 7 which are operated by a control input signal 8 are connected across the following: a power-supply feeding line 1a connected from a VDD terminal 4 arranged in a peripheral circuit region 9; and power-supply feeding lines 3 in an internal circuit region 6.



LEGAL STATUS

[Date of request for examination]	16.01.1996
[Date of sending the examiner's decision of rejection]	16.03.1999
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	2972425
[Date of registration]	27.08.1999
[Number of appeal against examiner's decision of rejection]	11-05620
[Date of requesting appeal against examiner's decision of rejection]	09.04.1999
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 2 0 6 4 2 0

(43) 公開日 平成 5 年 (1 9 9 3) 8 月 1 3 日

(51) Int. Cl.⁵
H01L 27/118
21/82
27/04

識別記号 庁内整理番号
D 8427-4M
U 8427-4M
9169-4M

F I

技術表示箇所

H01L 21/82

M

審査請求 未請求 請求項の数 2 (全 4 頁) 最終頁に続く

(21) 出願番号 特願平 4 - 1 4 8 7 4

(22) 出願日 平成 4 年 (1 9 9 2) 1 月 3 0 日

(71) 出願人 0 0 0 2 3 2 0 3 6

日本電気アイシーマイコンシステム株式会
社
神奈川県川崎市中原区小杉町 1 丁目 4 0 3
番 5 3

(72) 発明者 谷 吉 逸 朗

神奈川県川崎市中原区小杉町一丁目 4 0 3
番 5 3 日本電気アイシーマイコンシステム
株式会社内

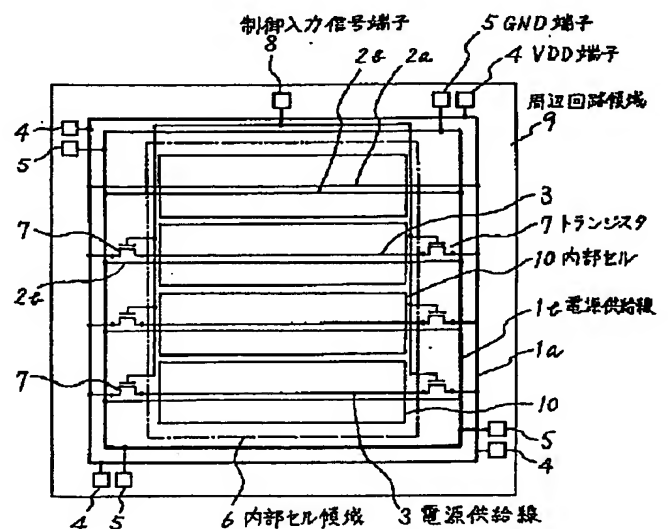
(74) 代理人 弁理士 京 本 直 樹 (外 2 名)

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【目的】 常に動作させる必要のある回路と一時的に動作させる必要のない回路とを同時に搭載した半導体集積回路において、一時的に動作させる必要のない回路の消費電力を小さくし、半導体集積回路全体の消費電力を小さくすること。

【構成】 周辺回路領域 9 に配置された VDD 端子 4 から接続された電源供給線 1 a と内部セル領域 6 の電源供給線 3 との間に、制御入力信号 8 によって動作するトランジスタ 7 が接続されている。



1

【特許請求の範囲】

【請求項 1】 電源端子に接続された電源供給線と、機能を実現する回路を駆動する電源供給線との間に、制御信号によって動作するトランジスタが接続されていることを特徴とする半導体集積回路。

【請求項 2】 電源端子に接続された電源供給線と、機能を実現する回路を駆動する電源供給線とを接続するトランジスタと、前記トランジスタの動作を制御する制御回路とを備えたことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路に関し、特にマスタスライス方式で設計される半導体集積回路に関する。

【0002】

【従来の技術】 従来のマスタスライス方式で設計される半導体集積回路は、図 3 に示すように、外部信号とのやりとりを行う周辺回路領域 9 と、論理機能を実現する回路（マクロ）即ち内部セル領域 6 とから構成され、周辺回路領域 9 に配置された VDD 端子 4 の GND 端子 5 とにそれぞれ接続された電源供給線 1 a, 1 b を経由して、内部セル領域 6 の電源供給線 2 a, 2 b により全ての内部セル領域 6 に電源が供給され駆動される。

【0003】

【発明が解決しようとする課題】 従来のマスタスライス方式の半導体集積回路では、論理機能を実現する内部セル 10 領域内に常に動作させる必要のある回路と、一時的に動作させる必要のない回路を同時に搭載した場合、全ての内部セル 10 に電流が供給されているため、動作させる必要のない回路においても電力が消費され、全体の消費電力が小さくできないという問題点があった。

【0004】 そのため、常に動作する必要のある回路を別の半導体集積回路に分離したり、もしくは電源電圧の電位をトランジスタの動作可能な電位まで下げて、回路全体の消費電力を抑える必要があった。

【0005】 本発明の目的は、前記問題点を解決し、一時的に動作させる必要のない回路には、電源供給をストップするようにした半導体集積回路を提供することにある。

【0006】

【課題を解決するための手段】 本発明の半導体集積回路の構成は、外部信号とのインターフェースを行う周辺回路領域の電源供給線と論理機能を実現する内部セル領域を駆動する電源供給線との間に、制御信号によって動作するトランジスタを備えていることを特徴とし、特に前記制御信号を発生する制御回路を設けたことを特徴とする。

【0007】

【実施例】 図 1 は本発明の一実施例の半導体集積回路の平面図である。

2

【0008】 図 1 において、本実施例の半導体集積回路は、周辺回路領域 9 に配置された VDD 端子 4 に接続される電源供給線 1 a と、内部セル領域 6 の電源供給線 3 との間に制御入力信号端子 8 の信号によってゲート動作する MOS トランジスタ 7 が接続されている。

【0009】 図 1 において、本実施例が従来例と異なる点は、周辺回路領域 9 の電源供給線 1 a と内部セル領域 6 の電源供給線 3 とが直接接続されておらず、その間に配置された多数のトランジスタ 7 のソース・ドレインを經由して、接続されていることである。

【0010】 制御入力信号端子 8 の信号が“1”状態の時 MOS トランジスタ 7 は導通状態になり、周辺回路領域 9 の電源供給線 1 a と内部セル領域 6 の電源供給線 3 とは、導通し内部セル領域 6 に電源が供給され駆動される。

【0011】 制御入力信号端子 8 の信号が“0”状態の時、MOS トランジスタ 7 は非導通状態になり、周辺回路領域 9 の電源供給線 1 a と内部セル領域 6 の電源供給線 3 とは非導通状態となり、内部セル 10 には電源が供給されない。

【0012】 また、トランジスタ 7 が接続されていない電源供給線 2 a は制御入力信号に左右されず、常に周辺回路領域 9 の電源供給線 1 a と導通しており、内部セル領域 6 に電源が供給されている。

【0013】 一時的に動作させる必要のない回路を、MOS トランジスタ 7 によって電源の供給が停止できる内部セル領域 6 に配置し、MOS トランジスタ 7 により電源の供給を制御することにより動作していない時の電力の消費を小さくできる。

【0014】 図 2 は本発明の他の実施例の半導体集積回路を示す平面図である。

【0015】 図 2 において、本実施例は、制御回路 11 を備えている。

【0016】 MOS トランジスタ 7 を制御する信号を、この制御回路 11 により複数生成し、それぞれの制御信号 12 a, 12 b, 12 c により、内部セル 10 への電源電圧を供給することができる。その他の部分は、図 1 と同様である。

【0017】

【発明の効果】 以上説明したように、本発明は、周辺回路領域の電源供給線と内部セル領域の電源供給線との間に、制御信号によって動作するトランジスタを接続し、このトランジスタを制御することにより、内部セル領域への電源の供給を制御できる様にしたので、一時的に動作させる必要のない回路への電源の供給を停止することができ、常に動作させる必要のある回路と一時的に動作させる必要のない回路とを同時に搭載した場合でも、半導体集積回路の消費電力を小さくできるという効果を有する。

【図面の簡単な説明】

50

3

4

【図 1】 本発明の第 1 の実施例の半導体集積回路を示す平面図である。

【図 2】 本発明の第 2 の実施例の半導体集積回路を示す平面図である。

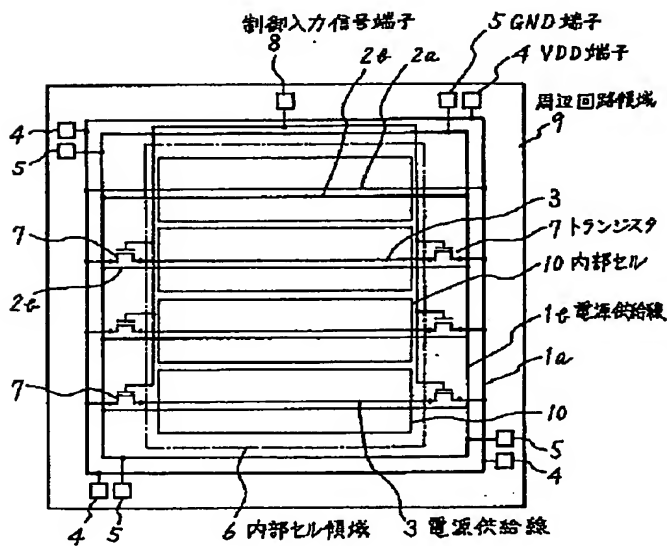
【図 3】 従来技術の半導体集積回路の平面図である。

【符号の説明】

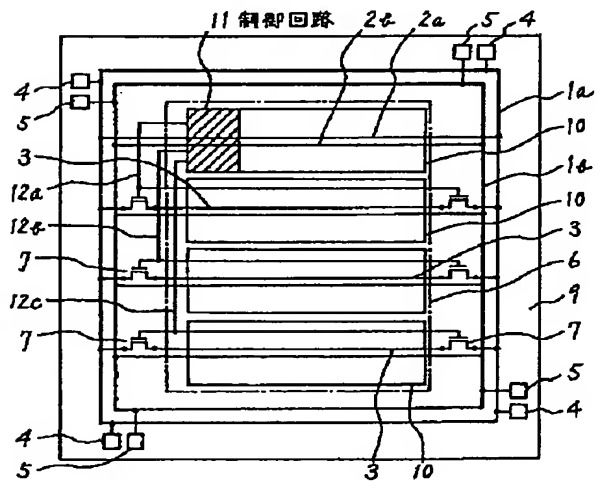
- 1 a 周辺回路領域 VDD 電源供給線
1 b 周辺回路領域 GND 電源供給線
2 a 内部セル領域 VDD 電源供給線
2 b 内部セル領域 GND 電源供給線

- 3 トランジスタで制御される電源供給線
4 VDD 端子
5 GND 端子
6 内部セル領域
7 制御用 MOS 型トランジスタ
8 制御入力信号
9 周辺回路領域
10 内部セル
11 制御回路
12 a, 12 b, 12 c 制御信号

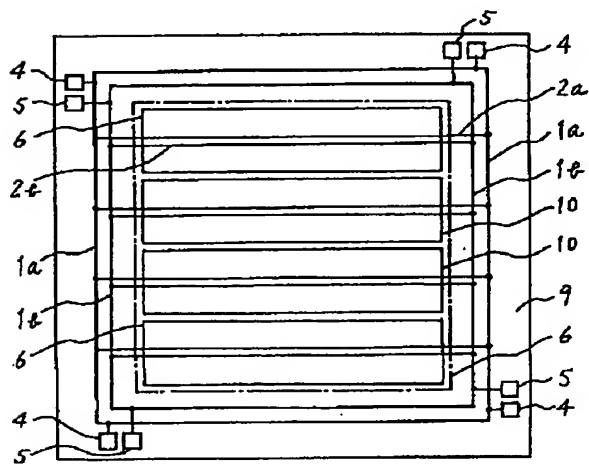
【図 1】



【図 2】



【図 3】



フロントページの続き

(51) Int. Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

9169-4M

S